

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-306657

(43)Date of publication of application : 21.11.1995

(51)Int.Cl.

G09G 3/20
G02F 1/133
G09G 3/36
H04N 5/66
H04N 9/30

(21)Application number : 06-098516

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 12.05.1994

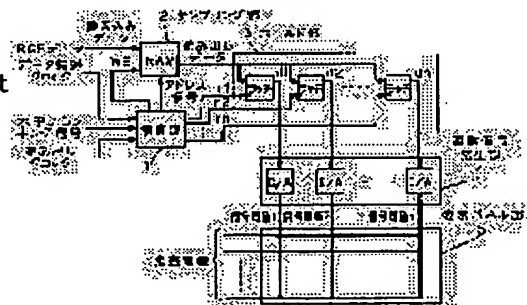
(72)Inventor : TAKANO SHIGERU
KASAHARA MITSUHIRO
MIWA TETSUJI
MASUMORI TADAYUKI
ISHIKAWA YUICHI
TANAKA KAZUTO

(54) SERIES-PARALLEL CONVERTING CIRCUIT FOR MATRIX DRIVING TYPE IMAGE DISPLAY DEVICE

(57)Abstract:

PURPOSE: To provide the rationalizing current of a series-parallel converting circuit for sampling and holding RGB data and then outputting this data to a driving signal generating part in a matrix driving type image display device such as a liquid crystal display.

CONSTITUTION: A series-parallel converting circuit for a matrix driving system image display device is provided with a control part 1 for outputting a write address signal and a WE signal during a horizontal scanning period and plural latch signals for independently latching a read address signal and the read data during a horizontal blanking period, a RAM 2 for storing RGB data by one line, and a hold part 3 for latching the data read from the RAM 2 during the horizontal blanking period and holding this data during the following horizontal scanning period.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application]

converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is constituted by the counter etc. and the data transfer clock from the preceding paragraph circuit sections, such as a level blanking signal and read-out clock and an A/D-conversion circuit, is inputted. Synchronizing with said data transfer clock, it writes in a level display period (horizontal scanning period), and writes in with an address signal. An enable signal a level blanking period — said reading appearance — carrying out — a clock — synchronizing — reading appearance — carrying out — an address signal and its reading appearance — carrying out — data — each — with the control section which outputs two or more latch signals for latching independently It is constituted by random access memory (RAM) and constituted by the latch group with the sampling section which carries out the sequential storage of R and G which are transmitted from the preceding paragraph circuit sections, such as an A/D-conversion circuit, and the B data with the write-in enable signal outputted to a level display period from said control section. The data by which reading appearance is carried out to a level blanking period from RAM of said sampling section with each latch signal from said control section The serial parallel-conversion circuit of the matrix actuation method graphic display device constituted by the hold section which carries out a sequential latch at each latch, and holds the data during the next horizontal scanning period.

[Claim 2] It is constituted by the counter etc. and the data transfer clock from the preceding paragraph circuit sections, such as a clock for a level blanking signal and read-out and an A/D-conversion circuit, is inputted. Synchronizing with said data transfer clock, it writes in a level display period (horizontal scanning period), and writes in with a clock. An enable signal a level blanking period — said clock for read-out — synchronizing — reading appearance — carrying out — a clock and reading appearance — carrying out — an enable signal and its reading appearance — carrying out — data — each — with the control section which outputs two or more latch signals for latching independently It is constituted by line memory (FIFO) and constituted by the latch group with the sampling section which writes in R and G which are transmitted from the preceding paragraph circuit sections, such as an A/D-conversion circuit, and B data with the write-in clock outputted to a level display period from said control section, and carries out sequential storage with an enable signal. It reads with the read-out clock from said control section. With an enable signal The data by which reading appearance is carried out to a level blanking period from the line memory of said sampling section with each latch signal from said control section The serial parallel-conversion circuit of the matrix actuation method graphic display device constituted by the hold section which carries out a sequential latch at each latch, and holds the data during the next horizontal scanning period.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention carries out the serial parallel conversion of digital R, G, and the B data, and relates to the serial parallel-conversion circuit of the matrix actuation method graphic display device which performs D/A conversion, PWM conversion, etc. further and drives a signal electrode actually.

[0002]

[Description of the Prior Art] In recent years, it becomes general flat-surface displaying [of the matrix actuation method which carried out digital processing of the video signal] a thin display, and LSI-ization to which the signal-electrode actuation block aimed at low cost, small low-power-ization, etc. is progressing.

[0003] A drawing is used for below and the serial parallel-conversion circuit of the conventional matrix actuation method graphic display device is explained to it. Drawing 5 is the block diagram of the serial parallel-conversion circuit of the conventional matrix actuation method graphic display device.

[0004] R and G which 20 is the sampling section which consists of shift registers by the flip-flop in drawing 5 , and are transmitted from the A/D-conversion section of the preceding paragraph, and B data — a part for 1 line (level period) — sequential storage is carried out with the data transfer clock.

[0005] 21 is the hold section constituted by the latch group (d1, d2, ..., dn), latches the outputs of each flip-flop of the sampling section 20 all at once with a Horizontal Synchronizing signal, and holds the data during the next level period. (Refer to drawing 6)

22 is the actuation signal generator constituted by the D/A conversion circuit group, and generates the driving signal which carries out D/A conversion of the output data of each latch of the hold section 21 respectively, and drives a signal electrode actually. 23 is the display-panel section.

[0006]

[Problem(s) to be Solved by the Invention] As mentioned above, since the shift register by the flip-flop constitutes the sampling section 20, also when it LSI-izes, it has the technical problem that the gate number becomes large and becomes the cost cut of a device, and the failure of a miniaturization in the serial parallel-conversion circuit of the conventional matrix actuation method graphic display device. For example, the gate number of the flip-flop per bit is made into the seven gates, and the gate number of the sampling section 20 in the case of displaying R, G, and B data on the display-panel section 23 of 640 dots by 8-bit each story length serves as the $8 \times 7 \times 640 \times 3 \times 107520$ gate. Moreover, in performing high-definition-izing and highly minute-ization more, integration and a cost cut of this part serve as a big technical problem.

[0007] In order to solve this technical problem, the sampling section which was not able to make data transfer from the sampling section to the hold section the method which divides into multiple times with two or more latch signals from a control section at a level blanking period by not transmitting all data simultaneously by 1 time of the pulse (Horizontal Synchronizing signal) like before, and carries out data transfer to a high speed, and was able to constitute it only from a shift register by the flip-flop conventionally consists of RAM which can reduce gate magnitude substantially compared with a flip-flop.

[0008]

[Means for Solving the Problem] The serial parallel-conversion circuit of the matrix actuation method graphic display device of this invention It is constituted by the counter etc. and the data transfer clock

from the preceding paragraph circuit sections, such as a level blanking signal and read-out clock and an A/D-conversion circuit, is inputted. Synchronizing with a data transfer clock, it writes in a horizontal scanning period, and writes in with an address signal. An enable signal (WE) a level blanking period — reading appearance — carrying out — a clock — synchronizing — reading appearance — carrying out — an address signal and its reading appearance — carrying out — data — each — with the control section which outputs two or more latch signals for latching independently R and G which are constituted by RAM and transmitted from the preceding paragraph circuit section, and the sampling section which carries out the sequential storage of the B data with WE signal at a horizontal scanning period, It is constituted by the latch group and the hold section which carries out the sequential latch of the data by which reading appearance is carried out to a level blanking period from RAM with each latch signal from a control section at each latch, and holds the data during the next horizontal scanning period constitutes.

[0009] Moreover, the serial parallel-conversion circuit of the matrix actuation method graphic display device of this invention It is constituted by the counter etc. and the data transfer clock from the preceding paragraph circuit sections, such as a clock for a level blanking signal and read-out and an A/D-conversion circuit, is inputted. Synchronizing with a data transfer clock, it writes in a level display period (horizontal scanning period), and writes in with a clock (WCK). An enable signal (WE) a level blanking period — reading — business — a clock — synchronizing — reading appearance — carrying out — a clock (RCK) and reading appearance — carrying out — an enable signal (RE) and its reading appearance — carrying out — data — each — with the control section which outputs two or more latch signals for latching independently The sampling section which is constituted by line memory (FIFO), writes R and G which are transmitted from the preceding paragraph circuit section, and B data in a horizontal scanning period, writes in with a clock (WCK), and carries out sequential storage with an enable signal (WE), It is constituted by the latch group. It reads with the clock (RCK) from a control section. With an enable signal (RE) The hold section which carries out the sequential latch of the data by which reading appearance is carried out to a level blanking period from line memory (FIFO) with each latch signal from a control section at each latch, and holds the data during the next horizontal scanning period constitutes.

[0010]

[Function] According to the serial parallel-conversion circuit of the matrix actuation method graphic display device of this invention All data are not simultaneously transmitted for the data transfer from the sampling section to the hold section by 1 time of the pulse (Horizontal Synchronizing signal) like before. Since it is the method which divides into multiple times at a level blanking period, and carries out data transfer to a high speed with two or more latch signals from a control section The sampling section which was able to be conventionally constituted only from a shift register by the flip-flop can be constituted from RAM which can reduce gate magnitude substantially compared with a flip-flop, and a cost cut becomes possible.

[0011] Furthermore, since the sampling section can be constituted from line memory of the FIFO mold which can reduce gate magnitude substantially compared with a flip-flop since it is the same method as the above, and external circuits, such as address generation, become unnecessary, a control section can constitute the serial parallel-conversion circuit of the matrix actuation method graphic display device of this invention from an easy circuit, and the further cost cut of it is attained.

[0012]

[Example]

(Example 1) The configuration and actuation are first explained using a block diagram (drawing 1) and a timing chart (drawing 2) about the serial parallel-conversion circuit of the matrix actuation method graphic display device in the 1st example of this invention.

[0013] 1 is the control section constituted by a counter etc., and inputs the data transfer clock from the A/D-conversion section of a level blanking signal and the preceding paragraph, and a read-out clock.

Synchronizing with the data transfer clock from the A/D-conversion section, it writes in a level display period (horizontal scanning period), and writes in with an address signal (W_n). An enable signal (WE) a level blanking period (horizontal blanking interval) — reading appearance — carrying out — a clock — synchronizing — reading appearance — carrying out — an address signal (R_n) and its reading appearance — carrying out — data — each — two or more latch signals (r_1, r_2, \dots, r_n) for latching independently are outputted.

[0014] 2 is the sampling section constituted by RAM and carries out the sequential storage of R and G which are transmitted from the A/D-conversion section of the preceding paragraph, and the B data by one line with the write-in enable signal (WE) outputted to a level display period (horizontal scanning period) from a control section 1.

[0015] 3 is the hold section constituted by the latch group, carries out the sequential latch of the data by which reading appearance is carried out to a level blanking period from RAM of the sampling section 2 at each latch (d_1, d_2, \dots, d_n) with each latch signal (r_1, r_2, \dots, r_n) from a control section 1, and holds the data during the next horizontal scanning period.

[0016] 4 is the actuation signal generator constituted by the D/A conversion circuit group, and generates the driving signal which carries out D/A conversion of the output data ($D_{11}, D_{12}, \dots, D_{1n}$) of each latch of the hold section 3 respectively, and drives a signal electrode actually. 5 is the display-panel section.

[0017] Since the sampling section 2 which was able to be conventionally constituted only from a shift register by the flip-flop by adopting the method which does not transmit all data simultaneously by 1 time of the pulse (Horizontal Synchronizing signal) like before, but divides the data transfer from the sampling section 2 to the hold section 3 into multiple times at a level blanking period, and carries out data transfer to a high speed as mentioned above can be constituted from RAM which can reduce gate magnitude substantially compared with a flip-flop, a cost cut becomes possible.

[0018] (Example 2) Next, the configuration and actuation are explained using a block diagram (drawing 3) and a timing chart (drawing 4) about the serial parallel-conversion circuit of the matrix actuation method graphic display device in the 2nd example of this invention. In addition, the same number is given to a part like the 1st example (drawing 1), and explanation is omitted.

[0019] 6 is the control section which consists of a counter etc., and inputs the data transfer clock from the A/D-conversion section of a level blanking signal and the preceding paragraph, and the clock for read-out. Synchronizing with the data transfer clock from the A/D-conversion section, it writes in a display period (horizontal scanning period), and writes in with a clock (WCK). An enabling (WE) signal a level blanking period (horizontal blanking interval) — reading — business — a clock — synchronizing — reading appearance — carrying out — a clock (RCK) and reading appearance — carrying out — an enabling (RE) signal and its reading appearance — carrying out — data — each — two or more latch signals (r_1, r_2, \dots, r_n) for latching independently are outputted.

[0020] 7 is the sampling section constituted by line memory (FIFO), writes in R and G which are transmitted from the A/D-conversion section of the preceding paragraph, and B data with the write-in clock (WCK) outputted to a level display period (horizontal scanning period) from a control section 6, and carries out sequential storage by one line with an enable signal (WE).

[0021] 3 is the hold section which consists of a latch group, carries out the sequential latch of the data by which read with the read-out clock (RCK) from a control section 6, and reading appearance is carried out to a level blanking period from the line memory of the sampling section 7 with an enable signal (RE) at each latch (d_1, d_2, \dots, d_n) with each latch signal (r_1, r_2, \dots, r_n) from a control section 6, and holds the data during the next horizontal scanning period.

[0022] All data are not simultaneously transmitted for the data transfer from the sampling section 7 to the hold section 3 by 1 time of the pulse (Horizontal Synchronizing signal) like before like an example 1 as mentioned above. By adopting the method which divides into multiple times at a level blanking period, and carries out data transfer to a high speed The sampling section 7 which was able to be

conventionally constituted only from a shift register by the flip-flop can be constituted from line memory of the FIFO mold which can reduce gate magnitude substantially compared with a flip-flop. Since external circuits, such as address generation, become unnecessary further by this and a control section 6 can consist of easy circuits, the further cost cut is attained.

[0023]

[Effect of the Invention] As mentioned above, according to the serial parallel-conversion circuit of the matrix actuation method graphic display device of this invention, since the sampling section can be constituted from random access memory (RAM), the cost cut by the cutback of large gate magnitude is enabled, and it has the effectiveness that the further cost cut is attained, by constituting the sampling section from line memory (FIFO) further.

[Translation done.]

*** NOTICES ***

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The block diagram of the serial parallel-conversion circuit of the matrix actuation method graphic display device in the 1st example of this invention

[Drawing 2] Drawing showing the timing chart of the serial parallel-conversion circuit of the matrix actuation method graphic display device in the 1st example of this invention

[Drawing 3] The block diagram of the serial parallel-conversion circuit of the matrix actuation method graphic display device in the 2nd example of this invention

[Drawing 4] Drawing showing the timing chart of the serial parallel-conversion circuit of the matrix actuation method graphic display device in the 2nd example of this invention

[Drawing 5] The block diagram of the serial parallel-conversion circuit of the conventional matrix actuation method graphic display device

[Drawing 6] Drawing showing the timing chart of the serial parallel-conversion circuit of the conventional matrix actuation method graphic display device

[Description of Notations]

1 Control Section

2 Sampling Section

3 Hold Section

4 Actuation Signal Generator

5 Display-Panel Section

6 Control Section

7 Sampling Section

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-306657

(43) 公開日 平成7年(1995)11月21日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/20		V 9378-5G		
G 0 2 F 1/133	5 0 5			
G 0 9 G 3/36				
H 0 4 N 5/66	1 0 2 B			
9/30				

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平6-98516

(22) 出願日 平成6年(1994)5月12日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 ▲たか▼野 茂

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 笠原 光弘

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 三輪 哲司

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 小鍛冶 明 (外 2 名)

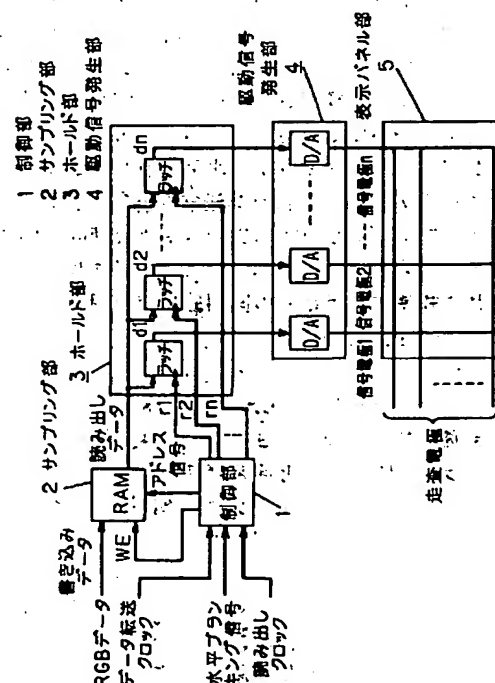
最終頁に続く

(54) 【発明の名称】 マトリクス駆動方式映像表示装置の直列並列変換回路

(57) 【要約】

【目的】 液晶ディスプレイ等のマトリクス駆動方式映像表示装置において、RGBデータをサンプリング、ホールドして駆動信号発生部へ出力する直列並列変換回路の合理化回路を提供する。

【構成】 水平走査期間には書き込みアドレス信号とWE信号を、水平ブランキング期間には読み出しアドレス信号とその読み出しデータを各々独立にラッチするための複数のラッチ信号とを出力する制御部1と、R、G、Bデータを1ライン分記憶するRAM2と、水平ブランキング期間にRAM2より読み出されたデータを前記ラッチ信号によりラッチし、次の水平走査期間の間保持するホールド部3とを設けた直列並列変換回路。



【特許請求の範囲】

【請求項 1】 カウンタ等により構成され、水平ブラン king 信号、読み出しクロック、A/D 変換回路等の前 段回路部からのデータ転送クロックを入力し、水平表示 期間（水平走査期間）には前記データ転送クロックに同 期して書き込みアドレス信号と書き込みイネーブル信号 を、水平ブラン king 期間には前記読み出しクロックに 同期して読み出しアドレス信号とその読み出しデータを 各々独立にラッチするための複数のラッチ信号とを出力 する制御部と、ランダムアクセスメモリ（RAM）によ り構成され、A/D 変換回路等の前段回路部から転送さ れる R、G、B データを水平表示期間に前記制御部から 出力される書き込みイネーブル信号により順次記憶する サンプリグ部と、ラッチ群により構成され、前記サン プリグ部の RAM から水平ブラン king 期間に読み出 されるデータを前記制御部からの各ラッチ信号により各 ラッチに順次ラッチし次の水平走査期間の間そのデータ を保持するホールド部とにより構成されるマトリクス駆 動方式映像表示装置の直列並列変換回路。

【請求項 2】 カウンタ等により構成され、水平ブラン king 信号、読み出し用クロック、A/D 変換回路等の 前段回路部からのデータ転送クロックを入力し、水平表 示期間（水平走査期間）には前記データ転送クロックに 同期して書き込みクロックと書き込みイネーブル信号 を、水平ブラン king 期間には前記読み出し用クロック に同期して読み出しクロックと読み出しイネーブル信号 とその読み出しデータを各々独立にラッチするための複 数のラッチ信号とを出力する制御部と、ラインメモリ （FIFO）により構成され、A/D 変換回路等の前段 回路部から転送される R、G、B データを水平表示期間 に前記制御部から出力される書き込みクロックと書き込 みイネーブル信号により順次記憶するサンプリグ部 と、ラッチ群により構成され、前記制御部からの読み出 しクロックと読み出しイネーブル信号によって前記サン プリグ部のラインメモリから水平ブラン king 期間に 読み出されるデータを前記制御部からの各ラッチ信号に より各ラッチに順次ラッチし次の水平走査期間の間その データを保持するホールド部とにより構成されるマトリ クス駆動方式映像表示装置の直列並列変換回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、デジタルの R、G、B データを直列並列変換し、さらに D/A 変換、PWM 変 換等を行って実際に信号電極を駆動するマトリクス駆動 方式映像表示装置の直列並列変換回路に関するものである。

【0002】

【従来の技術】 近年、薄型ディスプレイは映像信号をデ ジタル処理したマトリクス駆動方式の平面ディスプレイ が一般的となり、その信号電極駆動ブロックは低コス

ト、小型低消費電力化などをめざした LSI 化が進んで いる。

【0003】 以下に図面を用いて従来のマトリクス駆動 方式映像表示装置の直列並列変換回路について説明す る。図 5 は従来のマトリクス駆動方式映像表示装置の直 列並列変換回路のブロック図である。

【0004】 図 5 において、20 はフリップフロップによ るシフトレジスタで構成されるサンプリグ部で、前 段の A/D 変換部から転送される R、G、B データを 1 ライン（水平期間）分そのデータ転送クロックにより順 次記憶する。

【0005】 21 はラッチ群（d1、d2、・・・、d n）により構成されるホールド部で、サンプリグ部 20 の各フリップフロップの出力を水平同期信号により一 斉にラッチし、次の水平期間の間そのデータを保持す る。（図 6 参照）

22 は D/A 変換回路群により構成される駆動信号発生 部で、ホールド部 21 の各ラッチの出力データを各々 D/A 変換し実際に信号電極を駆動する駆動信号を発生す る。23 は表示パネル部である。

【0006】

【発明が解決しようとする課題】 以上のように従来のマ トリクス駆動方式映像表示装置の直列並列変換回路では サンプリグ部 20 をフリップフロップによるシフトレ ジスタにより構成しているため LSI 化した場合にもゲ ート数が大きくなり機器のコストダウン、小型化の障害 になるという課題を有する。例えば 1 ビット当りのフリ ップフロップのゲート数を 7 ゲートとし、640 ドットの 表示パネル部 23 に R、G、B データを各 8 ビット階 長で表示する場合のサンプリグ部 20 のゲート数は、 $7 \times 640 \times 3 \times 8 = 107520$ ゲート となる。また、より高画質化、高精細化を行なう場合に は、この部分の集積化とコストダウンは大きな課題とな る。

【0007】 この課題を解決するために、サンプリグ 部からホールド部へのデータ転送を従来のように 1 回の パルス（水平同期信号）で全データを同時に転送するの ではなく制御部からの複数のラッチ信号によって水平ブ ラン king 期間に複数回に分けて高速にデータ転送する 方式にして、従来フリップフロップによるシフトレジス タでしか構成することができなかったサンプリグ部を フリップフロップに比べゲート規模を大幅に削減できる RAM で構成する。

【0008】

【課題を解決するための手段】 本発明のマトリクス駆動 方式映像表示装置の直列並列変換回路は、カウンタ等によ り構成され、水平ブラン king 信号、読み出しクロッ ク、A/D 変換回路等の前段回路部からのデータ転送ク ロックを入力し、水平走査期間にはデータ転送クロック に同期して書き込みアドレス信号と書き込みイネーブル

信号 (WE) を、水平ブランキング期間には読み出しクロックに同期して読み出しアドレス信号とその読み出しデータを各々独立にラッチするための複数のラッチ信号とを出力する制御部と、RAMにより構成され、前段回路部から転送される R、G、B データを水平走査期間に WE 信号により順次記憶するサンプリング部と、ラッチ群により構成され、RAM から水平ブランキング期間に読み出されるデータを制御部からの各ラッチ信号により各ラッチに順次ラッチし次の水平走査期間の間そのデータを保持するホールド部とにより構成する。

【0009】また、本発明のマトリクス駆動方式映像表示装置の直列並列変換回路は、カウンタ等により構成され、水平ブランキング信号、読み出し用クロック、A/D 変換回路等の前段回路部からのデータ転送クロックを入力し、水平表示期間 (水平走査期間) にはデータ転送クロックに同期して書き込みクロック (WCK) と書き込みイネーブル信号 (WE) を、水平ブランキング期間には読み出し用クロックに同期して読み出しクロック

(RCK) と読み出しイネーブル信号 (RE) とその読み出しデータを各々独立にラッチするための複数のラッチ信号とを出力する制御部と、ラインメモリ (FIFO) により構成され、前段回路部から転送される R、G、B データを水平走査期間に書き込みクロック (WCK) と書き込みイネーブル信号 (WE) により順次記憶するサンプリング部と、ラッチ群により構成され、制御部からのクロック (RCK) と読み出しイネーブル信号 (RE) によってラインメモリ (FIFO) から水平ブランキング期間に読み出されるデータを制御部からの各ラッチ信号により各ラッチに順次ラッチし次の水平走査期間の間そのデータを保持するホールド部とにより構成する。

【0010】

【作用】本発明のマトリクス駆動方式映像表示装置の直列並列変換回路によれば、サンプリング部からホールド部へのデータ転送を従来のように 1 回のパルス (水平同期信号) で全データを同時に転送するのではなく制御部からの複数のラッチ信号によって水平ブランキング期間に複数回に分けて高速にデータ転送する方式であるため従来フリップフロップによるシフトレジスタでしか構成することができなかったサンプリング部をフリップフロップに比べゲート規模を大幅に削減できる RAM で構成できコストダウンが可能となるのである。

【0011】さらに本発明のマトリクス駆動方式映像表示装置の直列並列変換回路は上記と同様の方式であるためサンプリング部をフリップフロップに比べゲート規模を大幅に削減できる FIFO 型のラインメモリで構成でき、かつアドレス発生等の外付け回路が不要となるため制御部が簡単な回路で構成できさらなるコストダウンが可能となるのである。

【0012】

【実施例】

(実施例 1) まず、本発明の第 1 の実施例におけるマトリクス駆動方式映像表示装置の直列並列変換回路について、ブロック図 (図 1)、タイミングチャート (図 2) を用いてその構成と動作を説明する。

【0013】1 はカウンタ等により構成される制御部で、水平ブランキング信号、前段の A/D 変換部からのデータ転送クロック、読み出しクロックを入力し、水平表示期間 (水平走査期間) には A/D 変換部からのデータ転送クロックに同期して書き込みアドレス信号 (Wn) と書き込みイネーブル信号 (WE) を、水平ブランキング期間 (水平帰線消去期間) には読み出しクロックに同期して読み出しアドレス信号 (Rn) とその読み出しデータを各々独立にラッチするための複数のラッチ信号 (r1, r2, ..., rn) とを出力する。

【0014】2 は RAM により構成されるサンプリング部で、前段の A/D 変換部から転送される R、G、B データを水平表示期間 (水平走査期間) に制御部 1 から出力される書き込みイネーブル信号 (WE) により 1 ライン分順次記憶する。

【0015】3 はラッチ群により構成されるホールド部で、サンプリング部 2 の RAM から水平ブランキング期間に読み出されるデータを、制御部 1 からの各ラッチ信号 (r1, r2, ..., rn) により、各ラッチ (d1, d2, ..., dn) に順次ラッチし次の水平走査期間の間そのデータを保持する。

【0016】4 は D/A 変換回路群により構成される駆動信号発生部で、ホールド部 3 の各ラッチの出力データ (D11, D12, ..., D1n) を各々 D/A 変換し実際に信号電極を駆動する駆動信号を発生する。5 は表示パネル部である。

【0017】上記のようにサンプリング部 2 からホールド部 3 へのデータ転送を従来のように 1 回のパルス (水平同期信号) で全データを同時に転送するのではなく水平ブランキング期間に複数回に分けて高速にデータ転送する方式を採用することにより従来フリップフロップによるシフトレジスタでしか構成することができなかったサンプリング部 2 をフリップフロップに比べゲート規模を大幅に削減できる RAM で構成できるためコストダウンが可能となる。

【0018】(実施例 2) 次に、本発明の第 2 の実施例におけるマトリクス駆動方式映像表示装置の直列並列変換回路についてブロック図 (図 3)、タイミングチャート (図 4) を用いてその構成と動作を説明する。尚、第 1 の実施例 (図 1) と同様部分には同一番号を付し説明を省略する。

【0019】6 はカウンタ等からなる制御部で、水平ブランキング信号、前段の A/D 変換部からのデータ転送クロック、読み出し用クロックを入力し、表示期間 (水平走査期間) には A/D 変換部からのデータ転送クロッ

クに同期して書き込みクロック (WCK) と書き込みイネーブル (WE) 信号を、水平ブランキング期間 (水平帰線消去期間) には読み出し用クロックに同期して読み出しクロック (RCK) と読み出しイネーブル (RE) 信号とその読み出しデータを各々独立にラッチするための複数のラッチ信号 (r_1, r_2, \dots, r_n) とを出力する。

【0020】7はラインメモリ (FIFO) により構成されるサンプリング部で、前段のA/D変換部から転送されるR、G、Bデータを水平表示期間 (水平走査期間) に制御部6から出力される書き込みクロック (WCK) と書き込みイネーブル信号 (WE) により1ライン分順次記憶する。

【0021】3はラッチ群からなるホールド部で、制御部6からの読み出しクロック (RCK) と読み出しイネーブル信号 (RE) によってサンプリング部7のラインメモリから水平ブランキング期間に読み出されるデータを制御部6からの各ラッチ信号 (r_1, r_2, \dots, r_n) により各ラッチ (d_1, d_2, \dots, d_n) に順次ラッチし、次の水平走査期間の間そのデータを保持する。

【0022】上記のように実施例1と同様にサンプリング部7からホールド部3へのデータ転送を従来のように1回のパルス (水平同期信号) で全データを同時に転送するのではなく水平ブランキング期間に複数回に分けて高速にデータ転送する方式を採用することにより従来フリップフロップによるシフトレジスタでしか構成することができなかったサンプリング部7をフリップフロップに比べゲート規模を大幅に削減できるFIFO型のラインメモリで構成でき、さらにこれによりアドレス発生等の外付け回路が不要となり制御部6が簡単な回路で構成できるためさらなるコストダウンが可能となるのである。

る。

【0023】

【発明の効果】以上のように、本発明のマトリクス駆動方式映像表示装置の直列並列変換回路によれば、サンプリング部をランダムアクセスメモリ (RAM) で構成できるため大幅なゲート規模の削減によるコストダウンを可能にし、更にサンプリング部をラインメモリ (FIFO) で構成することによりさらなるコストダウンが可能となるという効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例におけるマトリクス駆動方式映像表示装置の直列並列変換回路のブロック図

【図2】本発明の第1の実施例におけるマトリクス駆動方式映像表示装置の直列並列変換回路のタイミングチャートを示す図

【図3】本発明の第2の実施例におけるマトリクス駆動方式映像表示装置の直列並列変換回路のブロック図

【図4】本発明の第2の実施例におけるマトリクス駆動方式映像表示装置の直列並列変換回路のタイミングチャートを示す図

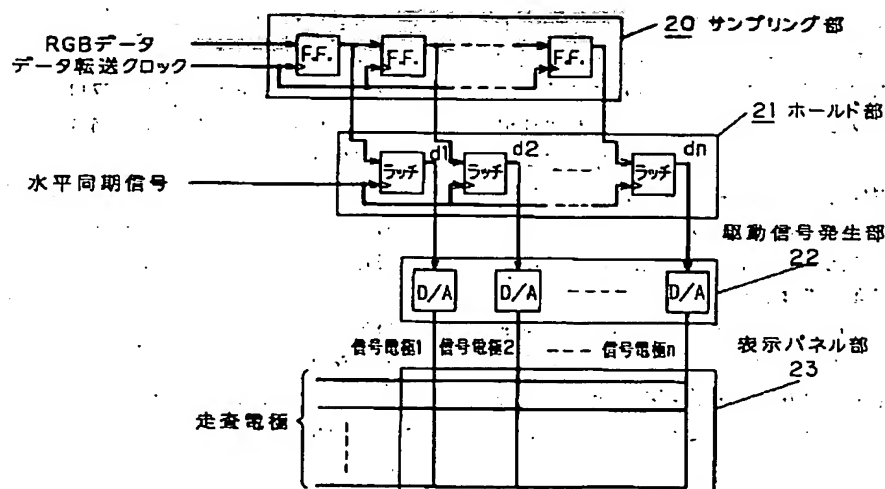
【図5】従来のマトリクス駆動方式映像表示装置の直列並列変換回路のブロック図

【図6】従来のマトリクス駆動方式映像表示装置の直列並列変換回路のタイミングチャートを示す図

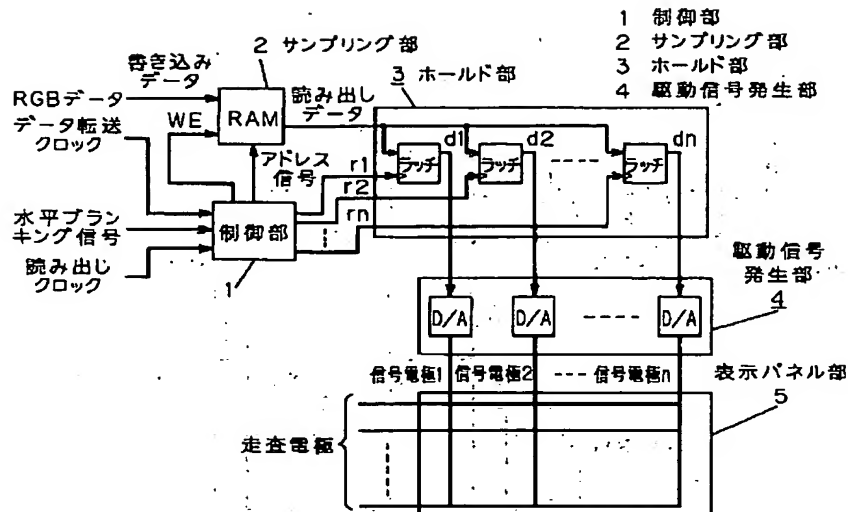
【符号の説明】

- 1 制御部
- 2 サンプリング部
- 3 ホールド部
- 4 駆動信号発生部
- 5 表示パネル部
- 6 制御部
- 7 サンプリング部

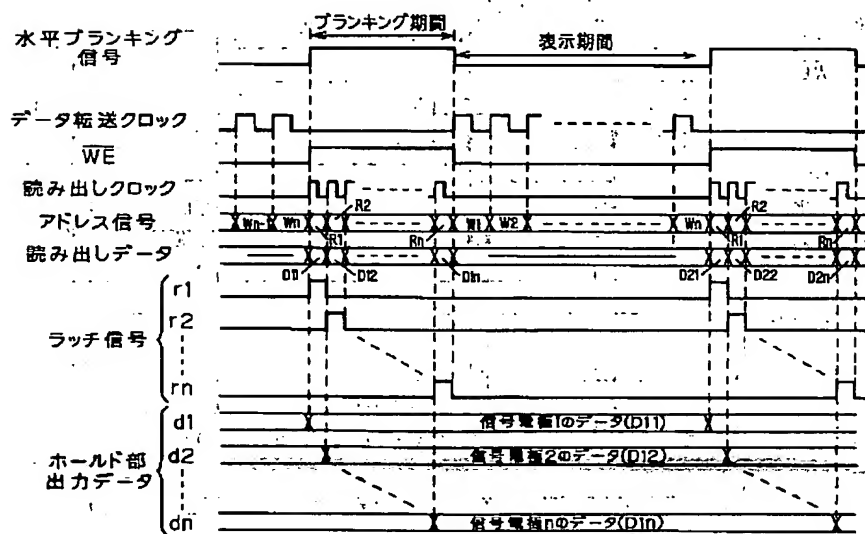
【図5】



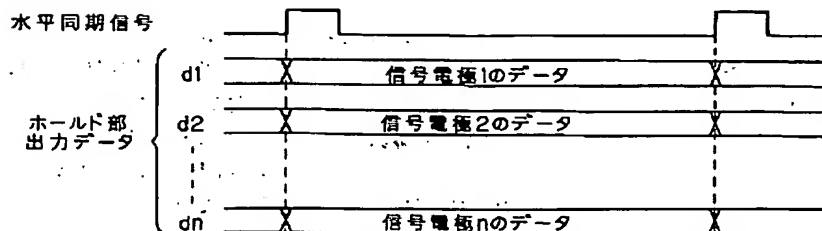
【図1】



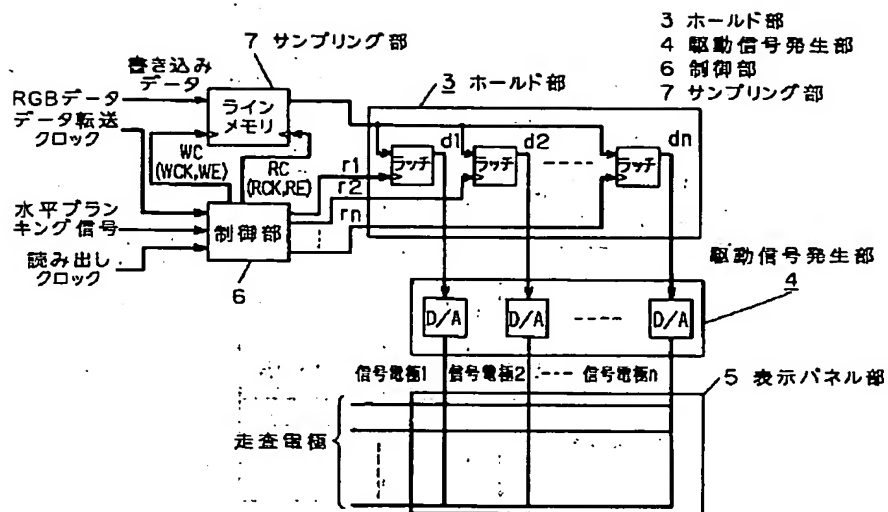
【図2】



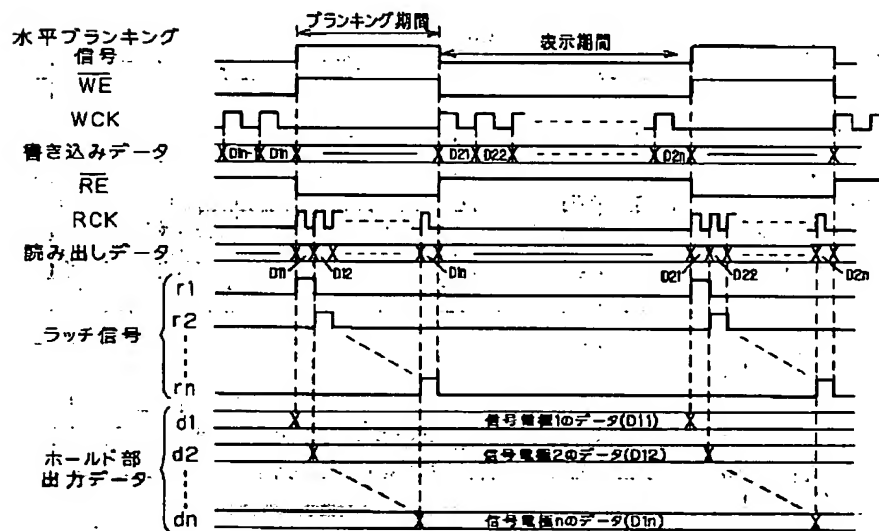
【図6】



【図3】



【図4】



フロントページの続き

(72)発明者 益盛 忠行
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 石川 雄一
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 田中 和人
大阪府門真市大字門真1006番地 松下電器
産業株式会社内